

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

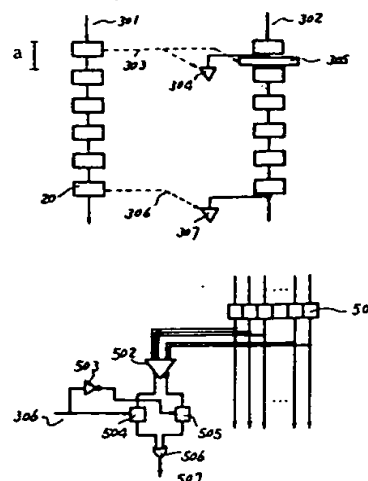
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) PIPELINE CONTROL SYSTEM

(11) 58-219646 (A) (43) 21.12.1983 (19) JP
 (21) Appl. No. 57-100706 (22) 14.6.1982
 (71) HITACHI SEISAKUSHO K.K. (72) TADAAKI ISOBE
 (51) Int. CP. G06F9/38

PURPOSE: To detect out of synchronism between plural pipes, by inserting an abnormal data pattern into a stage in an empty state from a control pipe at the entrance of a controlled pipe, and checking the data pattern at the exit of the pipe.

CONSTITUTION: A parity check is made at the entrance of the control pipe 301 and if information in the stage indicates significance, it is stored in a register for the parity check 304 by a signal 303. When it indicates insignificance, a parity error pattern is inserted. The parity check is made even at the exit 20 of the pipe 301; the information is stored in a register 504 when a signal 306 indicates the significance of the information or in a register 505 when not. When there is no out of synchronism between the pipes 301 and 302, a detection signal 507 shows 0. When out of synchronism occurs, the signal shows 1.



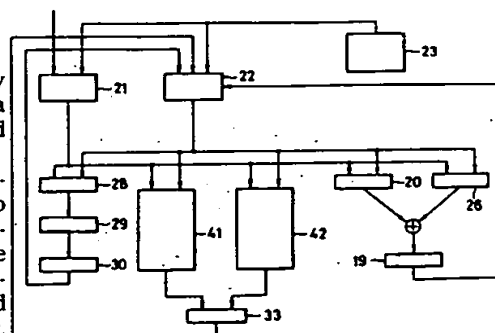
a: 1 stage

(54) DIVIDING DEVICE FOR GALOIS FIELD

(11) 58-219647 (A) (43) 21.12.1983 (19) JP
 (21) Appl. No. 57-102803 (22) 15.6.1982
 (71) TOKYO SHIBAURA DENKI K.K. (72) JIYUN INAGAWA(2)
 (51) Int. CP. G06F11/10, G06F7/52, G11B5/09

PURPOSE: To simplify the constitution of a device and to speed up processing, by providing an error location polynomial calculator part with a multiplying and a dividing device which perform the multiplication and division of a Galois field without providing a logarithm and an antilogarithm buffers.

CONSTITUTION: The order controller 23 of the error location polynomial calculation part of the multiplying device sends an indication of arithmetic order to syndrome and working buffers 21 and 22, and the multiplying device 41 and dividing device 42 perform the algebraic operation of a Galois field $GF(2^m)$. The need for the logarithm buffer and antilogarithm buffer of this polynomial calculator part is eliminated for the multiplication and division of the Galois field GF. The dividing device for the Galois field consists of a linear shift register, gate circuit, plural multiplying circuits, etc., and thus the constitution is simplified to speed up the processing.



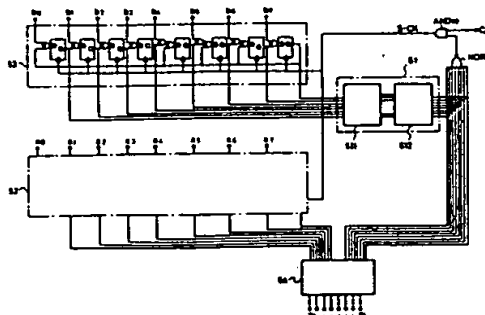
19: C register, 20: A register, 26: B register, 28: H register.
 29: OR circuit, 30: M register, 33: G register

(54) DIVIDING DEVICE FOR GALOIS FIELD

(11) 58-219648 (A) (43) 21.12.1983 (19) JP
 (21) Appl. No. 57-102804 (22) 15.6.1982
 (71) TOKYO SHIBAURA DENKI K.K. (72) JIYUN INAGAWA(2)
 (51) Int. CP. G06F11/10, G06F7/52, G11B5/09

PURPOSE: To realize a small-sized, simplified dividing device, by performing the division of a Galois field without using a logarithm and an antilogarithm buffers which require a large capacity memory.

CONSTITUTION: An error location polynomial calculator part is provided with a multiplying device and a dividing device which perform the multiplication and division of the Galois body $GF(2^m)$. This dividing device is provided with the 1st and the 2nd linear shift registers 52 and 53 wherein one element is set as dividend data and the other one is set as divisor data individually. Further, a converter 51 is stored with a table of reciprocal data on elements at specific positions in every of (m) division of 2^m elements in total and a logical circuit decides on whether the reciprocal of the divisor data set in the register 53 is stored in the converter 51 or not. Then, the outputs of the registers 52 and 53 are multiplied by the specific number of times at a multiplier 54 to simplify the dividing device without using a logarithm and an antilogarithm buffers which require a large capacity memory.



511: decoder, 512: encoder

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-219647

(43)Date of publication of application : 21.12.1983

(51)Int.Cl. G06F 11/10
G06F 7/52
G11B 5/09

(21)Application number : 57-102803

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 15.06.1982

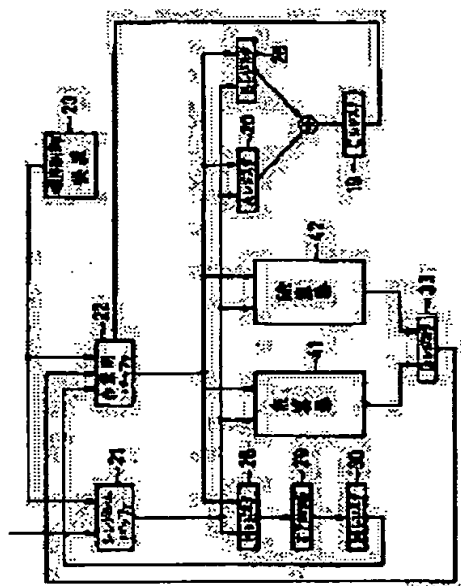
(72)Inventor : INAGAWA JUN
NANUN MASAHIDE
KOJIMA TADASHI

(54) DIVIDING DEVICE FOR GALOIS FIELD

(57)Abstract:

PURPOSE: To simplify the constitution of a device and to speed up processing, by providing an error location polynomial calculator part with a multiplying and a dividing device which perform the multiplication and division of a Galois field without providing a logarithm and an antilogarithm buffers.

CONSTITUTION: The order controller 23 of the error location polynomial calculation part of the multiplying device sends an indication of arithmetic order to syndrome and working buffers 21 and 22, and the multiplying device 41 and dividing device 42 perform the algebraic operation of a Galois field GF (2^m). The need for the logarithm buffer and antilogarithm buffer of this polynomial calculator part is eliminated for the multiplication and division of the Galois field GF. The dividing device for the Galois field consists of a linear shift register, gate circuit, plural multiplying circuits, etc., and thus the constitution is simplified to speed up the processing.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—219647

⑪ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 昭和58年(1983)12月21日

G 06 F 11/10

7368—5B

7/52

7056—5B

G 11 B 5/09

1 0 2

D 7629—5D

発明の数 1

審査請求 未請求

(全 16 頁)

⑭ ガロア体における除算装置

横浜市磯子区新磯子町33番地東
京芝浦電気株式会社音響工場内

⑯ 特 願 昭57—102803

⑯ 発 明 者 小島正

⑰ 出 願 昭57(1982)6月15日

横浜市磯子区新磯子町33番地東
京芝浦電気株式会社音響工場内

⑰ 発 明 者 稲川純

横浜市磯子区新磯子町33番地東
京芝浦電気株式会社音響工場内

⑰ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑰ 発 明 者 南雲雅秀

⑰ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

ガロア体における除算装置

2. 特許請求の範囲

ガロア体 $GF(2^m)$ における 2^m 個の元のうちの2個の元 α^i, α^j (但し α は法多項式 $F(x)$ の根) 間の除算 $\alpha^i \div \alpha^j$ を $\alpha^i \cdot \alpha^M \div \alpha^j \cdot \alpha^M$ (但し M は整数) なる第1の乗算 $(\alpha^i \cdot \alpha^M)$ および第2の乗算 $(\alpha^j \cdot \alpha^M)$ の商の形に変換し、前記第2の乗算が $\alpha^j \cdot \alpha^M = \alpha^{2^M-1} = \alpha^0 = 1$ なることを利用して結果的に $\alpha^i \div \alpha^j = \alpha^i \cdot \alpha^M$ なる乗算に変換して処理するもので、前記元 α^i が被除数データとして直接あるいは通数個の $\alpha^{N_1}, \alpha^{N_2}, \dots$ 乗算回路 (但し N_1, N_2, \dots は $1 \leq N_1 < N_2, \dots$) を介してそれぞれ毎にセットされると共に1シフト毎にそれぞれ α^{N_0} (但し N_0 は $1 < N_0$) を乗算する形式になされた第1の線形シフトレジスタ群と、前記元 α^j が除数データとして直接あるいは通数個の $\alpha^{N_1}, \alpha^{N_2}, \dots$ 乗算回路を介してそれぞれ毎にセットされると共に1シフト毎にそれぞれ α^{N_0} を乗算する形式にな

れた第2の線形シフトレジスタ群と、前記第1の線形シフトレジスタ群の各レジスタ毎の1出力を検出する1検出回路群と、この1検出回路群のいずれかで1出力が検出されるまでの通数回だけ前記第1および第2の線形シフトレジスタ群を共にシフトせしめる第1の手段と、前記第2の線形シフトレジスタ群の各レジスタ毎の出力と前記1検出回路群の各検出回路毎の出力とのアンドをとってアンドがとられたレジスタ出力を導出する第2の手段とを具備してなることを特徴とするガロア体における除算装置。

3. 発明の詳細な説明

(発明の技術分野)

この発明は例えば光学式デジタルオーディオディスク (DAD) 再生装置等に用いられるエラー訂正符号の復号用に好適するガロア体における除算装置の改良に関する。

(発明の技術的背景)

周知のように、近時開発されている光学式 DAD 再生装置 (特に C D I コンパクトディスク

ク形)においては、そのエラー訂正符号としてクロスインターリーブリードソロモン符号(CIRC)を採用している。

すなわち、これは従来より知られている代表的なランダムエラー訂正符号のうちで最もエラー訂正能力が高いものとして広範に定義されているBCH符号の一環であるリードソロモン符号を用いるものであるが、それにバーストエラーに対しても高い訂正能力を持たせるべくクロスインターリーブなる信号処理を伴わせるようにしたものである。

ところで、リードソロモン符号の復号つまりエラー訂正はBCH符号のそれと同様になすことができる。

今、符号長 n 、情報シンボル k 個、検査シンボル $n-k$ 個からなるリードソロモン符号について、その復号法を調べてみるものとする。但し、上記各シンボルは n 個の2進ビットつまり 2^n 個の元を有する有限体であるガロア体 $GF(2^n)$ の元である。

$$S_i = R(\alpha^i) \quad (\text{但し } i = 0, 1, \dots, 2t-1) \quad (5)$$

の如く定義したとすると、上記(3)式より

$$S_i = C(\alpha^i) + E(\alpha^i)$$

となる。

この場合、 $C(x)$ は $P(x)$ で常に割り切れるので
 $C(\alpha^i) = 0$

であるから

$$S_i = E(\alpha^i)$$

となる。そこで、上記(4)式より

$$S_i = E(\alpha^i) = \sum_j Y_j (\alpha^i)^j = \sum_j Y_j X_j^i \quad (6)$$

と表わすことができる。但し $\alpha^j = X_j$ と書いたもので、 X_j は α^j におけるエラーロケーションを表わしている。

ここで、エラーロケーション多項式 $e(x)$ は、エラー数を e として

$$e(x) = \prod_{j=1}^e (x - X_j) \\ = x^e + \sigma_1 x^{e-1} + \dots + \sigma_e \quad (7)$$

と定義される。

また、(7)式の $\sigma_1 \sim \sigma_e$ はシンδροーム S_i との間で

そして、この場合(4)重エラー訂正リードソロモン符号の生成多項式 $P(x)$ は、 α をガロア体 $GF(2^n)$ の原始元として次の(1)式または(2)式のように表わされる。

$$P(x) = (x + \alpha)(x + \alpha^2) \dots (x + \alpha^{2^{t-1}}) \quad (1)$$

$$P(x) = (x + \alpha^0)(x + \alpha) \dots (x + \alpha^{2^t - 1}) \quad (2)$$

また、送信符号語を $C(x)$ 、受信符号語を $R(x)$ で表わし、且つエラー多項式を $E(x)$ とすると、これらの間には次のような関係が成立する。

$$R(x) = C(x) + E(x) \quad (3)$$

この場合、多項式の係数はガロア体 $GF(2^n)$ に含まれており、エラー多項式 $E(x)$ はエラーロケーションおよび値(大きさ)に対応する項だけを含んでいる。

従って、位置 x^j におけるエラー値を Y_j とすると

$$E(x) = \sum_j Y_j x^j \quad (4)$$

となり、該(4)式で \sum はエラーのすべての位置にわたる総和を意味している。

ここで、シンδροーム S_i を

次のように関係付けられる。

$$S_{i+e} + \sigma_1 S_{i+e-1} + \dots + \sigma_e S_{i+1} + \sigma_{e+1} S_i = 0 \quad (8)$$

つまり、以上のようなリードソロモン符号の復号手順は

(I) (5)式によりシンδροーム S_i を計算する。

(II) (8)式によりエラーロケーション多項式の係数 $\sigma_1 \sim \sigma_e$ を計算する。

(III) (7)式によりエラーロケーション多項式の根 X_j を求める。

(IV) (6)式によりエラー値 Y_j を求め、(4)式によりエラー多項式を求める。

(V) (3)式によりエラー訂正を行なう。

なる(I)~(V)の手順に帰着せしめられる。

次に、以上のような復号手順によるエラー訂正の具体例として、1プロッタタータに4個の検査シンボルを用いた場合について説明する。

すなわち、この場合の生成多項式 $P(x)$ は

$$P(x) = (x+1)(x+\alpha)(x+\alpha^2)(x+\alpha^3)$$

となり、2重エラーまでの訂正が可能となるものであるが、ここではそれを(A)、(B)なる二

つの方式によった場合について各別に述べるものとする。

〔方式A〕

(i) シンドローム $S_0 \sim S_3$ を計算する。

(ii) (8) 式を $e=1, e=2$ について書き直すと、
 $e=1$ の場合には

$$\left. \begin{aligned} S_1 + e_1 S_0 &= 0 \\ S_2 + e_1 S_1 &= 0 \\ S_3 + e_1 S_2 &= 0 \end{aligned} \right\} \dots\dots\dots (9)$$

となる。また $e=2$ の場合には

$$\left. \begin{aligned} S_2 + e_1 S_1 + e_2 S_0 &= 0 \\ S_3 + e_1 S_2 + e_2 S_1 &= 0 \end{aligned} \right\} \dots\dots\dots (10)$$

となる。

ここで、実際の復号器が $e=1$ の場合から動作を始めるものとする。先ず連立方程式(9)を満足する解 e_1 を求めなければならない。そして、この解が存在しなければ、復号器は次に $e=2$ の場合について連立方程式(10)を満足する解 e_1, e_2 を求めなければならない。なお、ここでも解が得られない場合は $e \geq 3$ とみなすことになる。

先ず、 $e=1$ の場合は

$$S_0 = Y_1 \quad \therefore Y_1 = S_0$$

となる。また、 $e=2$ の場合は

$$\left. \begin{aligned} S_0 &= Y_1 + Y_2 \\ S_1 &= Y_1 X_1 + Y_2 X_2 \end{aligned} \right\}$$

より

$$\therefore Y_1 = \frac{X_2 S_0 + S_1}{X_1 + X_2}$$

$$Y_2 = S_0 + Y_1$$

(V) 上述のようにして求めたエラー値 Y_1, Y_2 により訂正を行なう。

ところで、ポイントエラーレージャ法等によってエラーロケーションの値を正確に知ることができる場合には、上述した2重エラー訂正用のリードソロン符号によって4重エラーまでの訂正が可能となるものであり、それが後述する〔方式B〕である。

〔方式B〕

(i) シンドローム $S_0 \sim S_3$ を計算する。

(ii) エラーロケーションを別の検出方法で

(9) 式の解 e_1 は

$$e_1 = \frac{S_1}{S_0} = \frac{S_2}{S_1} = \frac{S_3}{S_2}$$

として求め、(10) 式の解 e_1, e_2 は

$$e_1 = \frac{S_0 S_3 + S_1 S_2}{S_1^2 + S_0 S_2}, \quad e_2 = \frac{S_1 S_3 + S_2^2}{S_1^2 + S_0 S_2}$$

として求める。

(iii) 以上のようにしてエラーロケーション多項式の係数 e_i が得られたならば、次に(7)式によりエラーロケーション多項式の根を求める。

先ず、 $e=1$ の場合は

$$e(x) = x + e_1 = 0, \quad \therefore X_1 = e_1$$

となる。また、 $e=2$ の場合は

$$e(x) = x^2 + e_1 x + e_2 = 0 \quad \dots\dots\dots (11)$$

として、該(11)式にガロア体 $GF(2^m)$ の元を順次に代入してその解を求めればよく、今この根を X_1, X_2 とする。

(iv) エラーロケーション多項式の根が求まったなら、次に(6)式によりエラー値 Y_i を求める。

知る。

(vi) (6) 式によりエラー値を求める。

先ず $e=1, e=2$ の場合は上述した〔方式A〕の(iv)と同様である。

そして、 $e=3$ の場合は

$$\left. \begin{aligned} S_0 &= Y_1 + Y_2 + Y_3 \\ S_1 &= Y_1 X_1 + Y_2 X_2 + Y_3 X_3 \\ S_2 &= Y_1 X_1^2 + Y_2 X_2^2 + Y_3 X_3^2 \end{aligned} \right\}$$

を解いて

$$Y_1 = \frac{(S_2 + X_3 S_1) + X_2 (S_1 + X_3 S_0)}{(X_1 + X_2)(X_1 + X_3)}$$

$$Y_2 = \frac{(S_1 + X_3 S_0) + Y_1 (X_1 + X_3)}{(X_2 + X_3)}$$

$$Y_3 = S_0 + Y_1 + Y_2$$

となる。

また、 $e=4$ の場合は

$$\left. \begin{aligned} S_0 &= Y_1 + Y_2 + Y_3 + Y_4 \\ S_1 &= Y_1 X_1 + Y_2 X_2 + Y_3 X_3 + Y_4 X_4 \\ S_2 &= Y_1 X_1^2 + Y_2 X_2^2 + Y_3 X_3^2 + Y_4 X_4^2 \\ S_3 &= Y_1 X_1^3 + Y_2 X_2^3 + Y_3 X_3^3 + Y_4 X_4^3 \end{aligned} \right\}$$

を解いて

$$Y_1 = \frac{[(S_0 X_4 + S_1) X_3 + (S_1 X_4 + S_2) X_2 + (S_1 X_4 + S_2) X_3 + (S_2 X_4 + S_3)]}{(X_1 + X_2)(X_1 + X_3)(X_1 + X_4)}$$

$$Y_2 = \frac{(S_0 X_4 + S_1) X_3 + (S_1 X_4 + S_2) X_2 + Y_1 (X_1 + X_3)(X_1 + X_4)}{(X_2 + X_3)(X_2 + X_4)}$$

$$Y_3 = \frac{(S_0 X_4 + S_1) X_3 + Y_1 (X_1 + X_4) + Y_2 (X_2 + X_4)}{(X_3 + X_4)}$$

$$Y_4 = S_0 + Y_1 + Y_2 + Y_3$$

となる。

(V) 上述のようにして求めた $Y_1 \sim Y_4$ により訂正を行なう。

第1図は以上のような原理に基づくリードソロ

モンのエラー値を計算し、これらのエラーロケーションおよびエラー値により上記データバッファ11から出力されるデータを訂正するものである。

ところで、このような復号システムの各計算器12, 13, 14, 15は0か否かの検出ならびに必要な加算、乗算および除算の代数演算をなすものであるが、これらについての具体例として従来第2図に示すように構成されたエラーロケーション多項式計算器(特公昭58-20575号)が知られている。

すなわち、第2図において21はシンδροームバッファであって、シンδροーム S_1 を記憶するためのRAMでなり、該シンδροームバッファ21にはガロア体 $GF(2^m)$ の元である各シンδροームがそれぞれ m ビットの2進形式で記憶される。

また、22は作業用バッファであって、エラーロケーション多項式の係数を計算する際に、代数演算の中間結果および最終結果を記憶する

特開昭58-219647(4)

モン符号の実際の復号システムを示す概略構成図である。すなわち、入力端(IN)を介して導かれる被訂正用のデータ(エラー訂正用としてリードソロモン符号が用いられていることは勿論である)は二分されて、一方が後述する復号動作の間データバッファ11に記憶されると共に、他方が復号動作をなすためのシンδροーム計算器12以下に導かれる。

そして、シンδροーム計算器12で計算されたシンδροームはシンδροームバッファ13に記憶される。

ここで、シンδροームバッファ13の出力部に接続されたオフゲート14はエラーの有無を指示するもので、エラーがあると前述したような手順によってエラー訂正動作を開始することになる。

つまり、エラーロケーション多項式計算器15がエラーロケーション多項式 $\sigma(x)$ の係数を計算し、エラーロケーション計算器16がエラーロケーション多項式の根を計算し、エラー値計算

のためのRAMでなり、後の演算で使用される部分結果も該作業用バッファ22に記憶される。

そして、23は代数演算の順序を指示する順序制御装置であって、上記シンδροームバッファ21および作業用バッファ22に対してアドレスを供給して適切な記憶位置をアクセスすると共に、実行された代数演算結果を調べて次の適切な演算へ分岐せしめるのに供せられる。

さらに、24, 25はそれぞれガロア体 $GF(2^m)$ の元の対数および真数を各別にテーブルの形式で記憶しているROMでなる対数バッファおよび真数バッファである。

ここで、前者の対数バッファ24のアドレスは元 α^i の2進表示であり、そのエントリは α を底とする α の対数すなわち i であるが、後者の真数バッファ25のアドレス i におけるエントリは α^i の2進表示である。

例えばガロア体 $GF(2^8)$ の法多項式 $F(x)$ を

$$F(x) = x^8 + x^4 + x^3 + x^2 + 1$$

とすると、その0以外の元は $F(x)=0$ の根 α の e

き乗または $\alpha^0 \sim \alpha^7$ までの線形結合

$$\sum_{i=0}^7 a_i \alpha^i \quad (\text{但し } a_i = 0 \text{ または } 1)$$

で表わすことができる。

また、この場合 $a_0 \sim a_7$ までの8個の係数を取り出して2進ベクトルとして表わすこともできる。

例えば

$$\begin{aligned} \alpha^1 &= 0 \cdot \alpha^0 + 1 \cdot \alpha^1 + 0 \cdot \alpha^2 + 0 \cdot \alpha^3 + 0 \cdot \alpha^4 + 0 \cdot \alpha^5 + 0 \cdot \alpha^6 + 0 \cdot \alpha^7 \\ &= (01000000) \end{aligned}$$

$$\begin{aligned} \alpha^7 &= 0 \cdot \alpha^0 + \dots + 0 \cdot \alpha^6 + 1 \cdot \alpha^7 \\ &= (00000001) \end{aligned}$$

$$\begin{aligned} \alpha^8 &= 1 \cdot \alpha^0 + \alpha^5 + \alpha^6 \\ &= (10001110) \end{aligned}$$

$$\begin{aligned} \alpha^9 &= \alpha \cdot \alpha^8 = \alpha + \alpha^6 + \alpha^7 \\ &= (01000111) \end{aligned}$$

の如くであり、これら以外の元も同様にベクトル表示することができる。

そして、この場合対数テーブルのアドレス(1~255)は元 α^i の8ビットの2進ベクトル表示

が0のときのみ0になる。

(3) 乗算

元 α^i および α^j を乗算する場合には、先ずこれら2つの元が0であるか否かが調べられる。若し、いずれか一方の元が0であれば、実際に乗算するまでもなく、乗算結果は0である。しかるに、両方とも0でない場合には、これらの元は上記対数パッファ24用のアドレスレジスタ31に順次にロードされる。そして、対数パッファ24からの出力1および2はDレジスタ33およびEレジスタ35を介して1の補数加算器34により、 2^8-1 を法として1の補数加算が行なわれる。これによって得られる結果 $(i+j) \bmod (2^8-1)$ はLレジスタ38を介して上記真数パッファ25用のアドレスレジスタ36にロードされる。この場合、真数パッファ25のアドレス入力1であれば、その出力 α^k が乗算結果としてGレジスタ37を介して上記作業用パッファ22に転送される。

であり、対応するエントリは指数1の2進表示である。

また、真数テーブルは指数1をアドレスに用い、エントリは α^1 の2進ベクトル表示である。

次に、第2図のエラーロケーション多項式計算器による実際の代数演算を各別に説明する。

(1) 加算

元 α^i および α^j を加算する場合には、これら2つの元がAレジスタ20およびBレジスタ26を介してエクスクルシブオアゲート27により各ビット毎に排他的な論理和をとる。これによって得られる上記2つの元の和の結果はCレジスタ19を介して上記作業用パッファ22に転送される。

(2) 0であるか否かの検出

元 α^i が0であるか否かを調べる場合には、元 α^i がHレジスタ28を介してオアゲート29により論理和がとられる。この結果はMレジスタ30を介して上記作業用パッファ22に転送される。この場合、Mレジスタ30の内容は元 α^i

(4) 除算

元 α^i による α^j の除算(α^i/α^j)は基本的には上記(3)の乗算の場合と同様であるが、上記Eレジスタ35の内容を上記Dレジスタ33の内容から除算せしめる点で異なっている。つまり、Eレジスタ35にある元 α^j の対数が補数化器38により補数化されてFレジスタ39を介して上記1の補数加算器34に送るようにした点である。そして、以下(3)の乗算の場合と同様に処理されるものであるが、この場合真数パッファ25の出力が求める除算の結果つまり商となっているものである。

〔背景技術の問題点〕

しかしながら、以上のような従来のエラー訂正装置は、そのエラーロケーション多項式計算器における代数演算のうち乗算および除算用として対数パッファおよび真数パッファを必要とするものであるが、このために用いられるROM等のメモリ容量が膨大なものになるので、LSI化が阻害されて大容量のメモリを外付けしなけ

ればならないという不具合を生じていた。

これは、前述した例の如く1シンガル8ビットとした場合で255×8ビット=2040ビットのROMが2つ必要になり、合計4080ビットにもなることからして容易に窺い知れるところである。

つまり、従来より知られているガロア体における乗算装置および除算装置はそれらの元の対数および真数を各別にテーブルの形式で記憶している大容量メモリでなる対数パッファや真数パッファを必要とするので、それだけ構成が複雑化して高価格につくという問題を有していた。

〔発明の目的〕

そこで、この発明は以上のような点に鑑みてなされたもので、特に大容量のメモリを必要とする対数パッファや真数パッファを用いることなくガロア体における除算をなし得るようにし、以って構成の簡易化ならびに低価格化および高速処理化に寄与し得るようにした極めて良好なるガロア体における除算装置を提供することを

目的としている。

〔発明の概要〕

すなわち、この発明によるガロア体における除算装置はガロア体 $GF(2^m)$ における 2^m 個の元のうちの2個の元 α^i, α^j (但し α は法多項式 $F(x)$ の根)間の除算 $\alpha^i \div \alpha^j$ を $\alpha^i \cdot \alpha^M \div \alpha^j \cdot \alpha^M$ (但し M は整数)なる第1の乗算 $(\alpha^i \cdot \alpha^M)$ および第2の乗算 $(\alpha^j \cdot \alpha^M)$ の商の形に変換し、前記第2の乗算が $\alpha^j \cdot \alpha^M = \alpha^{2^M-j} = \alpha^0 = 1$ なることを利用して結果的に $\alpha^i \div \alpha^j = \alpha^i \cdot \alpha^M$ なる乗算に変換して処理するもので、前記元 α^i が被除数データとして直接あるいは連数個の $\alpha^{N_1}, \alpha^{N_2}, \dots$ 乗算回路 (但し N_1, N_2, \dots は $1 \leq N_1 < N_2, \dots$)を介してそれぞれ毎にセットされると共に1シフト毎にそれぞれ α^{N_0} (但し N_0 は $1 < N_0$)を乗算する形式になされた第1の線形シフトレジスタ群と、前記元 α^j が除数データとして直接あるいは連数個の $\alpha^{N_1}, \alpha^{N_2}, \dots$ 乗算回路を介してそれぞれ毎にセットされると共に1シフト毎にそれぞれ α^{N_0} を乗算する形式になされた第2の線形シフトレジスタ

群と、前記第1の線形シフトレジスタ群の各レジスタ毎の1出力を検出する1検出回路群と、この1検出回路群のいずれかで1出力が検出されるまでの連数回だけ前記第1および第2の線形シフトレジスタ群を共にシフトせしめる第1の手段と、前記第2の線形シフトレジスタ群の各レジスタ毎の出力と前記1検出回路群の各検出回路毎の出力とのアンドをとってアンドがとられたレジスタ出力を導出する第2の手段とを具備してなることを特徴としている。

〔発明の実施例〕

先ず、この発明が適用される光学式(CD形)デジタルオーディオディスク(DAD)再生装置の概要について説明する。

すなわち、第3図に示すようにディスクモータ1111によって回転駆動されるターンテーブル1112上に装着されたディスク1113は光学式ピックアップ1114によって再生される。この場合、光学式ピックアップ1114は半導体レーザ1114aからの出射光をビームスプリッター

1114b、対物レンズ1114cを介してディスク1113の信号面に照射し、該ディスク1113に所定の(EFM)変調およびインタリーブを施した形態で記録されている再生すべきオーディオ信号のデジタル(PCM)化データに対応したビット(反射率の異なる凹凸)からの反射光を対物レンズ1114c、ビームスプリッター1114bを介して4分割フォトアタクタ1114dに導き、該4分割フォトアタクタ1114dで光電変換された4つの再生信号を外部に出力可能になされているもので、自からはビクタップ送りモータ1115によってディスク1113の半径方向に直線駆動される。

そして、4分割フォトアタクタ1114dからの4つの再生信号はマトリクス回路1116に供給されて所定のマトリクス演算処理が施されることにより、フォーカスエラー信号(FC)、トラックエラー信号および高周波信号(BF)に分離される。

このうち、フォーカスエラー信号(FC)はフォー

カスサーチ回路110からのフォーカスサーチ信号と共に、前記光学式ピックアップ114のフォーカスサーボ系(FS)を駆動するのに供せられる。

また、トラッキングエラー信号(TE)は後述するシステムコントローラ117を介して与えられるサーチ制御信号と共に、前記光学式ピックアップ114のトラッキングサーボ系(TS)を駆動するのに且つ前記ピックアップ送りモータ118を(リニアトラッキング)制御するのに供せられる。

そして、ある高周波信号(RF)が主再生信号成分として再生信号処理系112に供給される。すなわち、この再生信号処理系112は先ず再生信号をスライスレベル(アイパターン)検出器119によって制御される波形整形回路120に導いて不要なアナログ成分と必要とするデータ成分を分離し、データ成分のみをPLL型である同期クロック再生回路121および第1の信号処理系122のエッジ検出器123aに供給

する。

ここで、同期クロック再生回路121からの同期クロックはデータ復調用として第1の信号処理系122における同期信号分離用クロック生成回路123bに導かれて同期信号分離用クロックを生成するのに供せられる。

一方、上記エッジ検出器123aを通った再生信号は同期信号検出器123cに導かれて上記同期信号分離用クロックにより同期信号が分離されると共に、復調回路123dに導かれて(EFM)復調される。

このうち、同期信号は同期信号保護回路123eを介して誤動作が生じないように保護された状態で、上記同期信号分離用クロックと共に入力データ処理用タイミング信号生成回路123fに導かれる。

また、復調信号はデータバス入出力制御回路123gを介して後述する第2の信号処理系124の入出力制御回路125aに供給されると共に、そのうちのサブコードであるコントロ

ール信号および表示信号成分がコントロール表示処理回路125bおよびサブコード処理回路125cに導かれる。

そして、サブコード処理回路125cで必要なエラー検出および訂正が施されたサブコードデータはシステムコントローラ用インターフェイス回路125dを介してシステムコントローラ117に供給される。

ここで、システムコントローラ117はマイクロコンピュータ、インターフェイス回路およびドライバ用集積回路等を有してなり、コントロールスイッチ124からの指令信号によりDAD再生装置を所望の状態に制御すると共に、上述のサブコード(例えば再生曲のインデックス情報)を表示器125eに表示せしめるのに供せられている。

なお、上記入力データ処理用タイミング信号生成回路123fからのタイミング信号はデータセレクト回路123jを介して上記データバス入出力制御回路125gを制御するのに供せ

られると共に、周波数検出器123kおよび位相検出器123lならびにPWM変調器123mを介して上記ディスクモータ111を線速度一定(CLV)方式で駆動するための自動周波数制御(AFC)および自動位相制御(APC)に供せられている。

この場合、位相検出器123lにはクリスタル発振器123nからの発振信号に基いて動作するシステムクロック生成回路123pからのシステムクロックが供給されている。

そして、第2の信号処理回路124の入出力制御回路125aを通った復調データはエラー検出および訂正または補正用のシンδροーム検出器125b、エラーポイント制御回路125c、訂正回路125dおよびデータ出力回路125eを介して必要なエラー訂正、デインターリーブ、エラー補正等の処理を受けてデジタル-アナログ(D/A)変換器125fに導出される。

この場合、外部メモリ制御回路123iは上記データセレクト回路123jと共に働いて訂正

に必要なデータが書き込まれている外部メモリ127を制御することにより、上記入出力制御回路123を介して訂正に必要なデータを取り込む如くなされている。

また、タイミングコントロール回路123bは前記システムクロック生成回路123aからのシステムクロックに基づいてエラー訂正および補正ならびにD/A変換に必要なタイミングコントロール信号を供給する如くなされている。

また、ミューティング（検出）制御回路123cは上記エラーサイン制御回路123aからの出力またはシステムコントローラ117を介して与えられるコントロール信号に基づいてエラー補正時およびDAD再生装置の動作開始、終了時等に必要となる所定のミューティング制御をなすのに供せられている。

そして、上記D/A変換器126でアナログ信号に戻されたオーディオ信号はローパスフィルタ128、増幅器129を介してスピーカ130を駆動するのに供せられる。

次に、以上のようなDAD再生装置のエラー訂正部に適用されたこの発明に係るガロア体における除算装置の一実施例につき図面を参照して詳細に説明する。

すなわち、第4図は第3図における第2の信号処理回路122の訂正回路122dに主として含まれる前述したようなエラーロケーション多項式計算器部を示しているもので、対数パッファや真数パッファを用いることなくガロア体における乗算および除算がなし得るようにした乗算装置41および除算装置42を備えている以外は前述した第2図のそれと同様である。つまり、エラー訂正符号として採用されたBCH符号の一種であるリードソロモン符号の復号（エラー訂正）のために各種の代数演算をなすのがエラーロケーション多項式計算器に与えられた役目であるが、このうち加算および0であるか否かの検出については第2図のそれと同様になされるので同一符号を付してその説明を省略するものとし、第2図のそれとは異なる乗算および

除算について以下に述べるものである。

まず、ガロア体における乗算についてみるに、例えばガロア体 $GF(2^8)$ の元 α^1 と α^1 との乗算（ $\alpha^1 \cdot \alpha^1$ 、但し α は法多項式 $F(x) = x^8 + x^4 + x^3 + x^2 + 1$ の根である）は

$$\alpha^1 = C(x) = c_0 + c_1\alpha + \dots + c_7\alpha^7$$

$$\alpha^1 = D(x) = d_0 + d_1\alpha + \dots + d_7\alpha^7$$

と表わした場合（但し、 $c_0 \sim c_7, d_0 \sim d_7$ は0または1とする）

$$\alpha^1 \cdot \alpha^1 = C(x) \cdot D(x)$$

$$= d_7\alpha^7 C(x) + d_6\alpha^6 C(x) + \dots + d_0 C(x)$$

$$= \alpha^6 (\alpha d_7 C(x) + d_6 C(x)) + d_5\alpha^5 C(x) + \dots + d_0 C(x)$$

$$= \alpha^5 (\alpha (\alpha d_7 C(x) + d_6 C(x)) + d_5 C(x)) + d_4\alpha^4 C(x) + \dots + d_0 C(x)$$

$$= (\alpha (\alpha (\alpha (\alpha (\alpha (\alpha (\alpha d_7 C(x) + d_6 C(x)) + d_5 C(x)) + d_4 C(x)) + d_3 C(x)) + d_2 C(x)) + d_1 C(x)) + d_0 C(x))$$

となる。

つまり、このようなガロア体 $GF(2^8)$ の元 α^1

と α^1 との乗算は線形シフトレジスタを用いて第5図に示したように構成される乗算装置で実現し得ることを物語っている。

すなわち、第5図において $AND_0 \sim AND_7$ は各一端に上記乗数 $D(x)$ の係数である $d_0 \sim d_7$ が上位ビットから順にシリアルに供給されると共に、各他端に上記被乗数 $C(x)$ の係数である $c_0 \sim c_7$ が上位ビットから順にパラレルに供給されるアンドゲートである。また、 $FF_0 \sim FF_7$ は、上記各アンドゲート $AND_0 \sim AND_7$ からの出力が入力一端に対応して供給されるエクスクルシブオアゲート（EX-OR₀） \sim （EX-OR₇）を介して縦続的に接続されると共に帰還接続されることにより線形シフトレジスタ SR_0 を構成するフリップフロップ回路である。

この場合、4段目と5段目、5段目と6段目および6段目と7段目のフリップフロップ回路 $FF_3 \sim FF_4, FF_4 \sim FF_5, FF_5 \sim FF_6$ との段間は各一端が帰還路に接続されたエクスクルシブオアゲートEX-OR₄、EX-OR₅、EX-OR₆がさらに介挿

された状態で結合されている。また、各フリップフロップ回路 $FF_0 \sim FF_7$ のクロック入力端 CK には図示しないクロック発生器からのクロックがパラレルに供給される如くなされている。

つまり、 $C(x)$ の係数 $c_0 \sim c_7$ がビットシリアルに入力されることにより、先ず X_0 が計算され、その後 X_1, X_2, \dots と続いて8ビット入力終了時に線形シフトレジスタ SR_0 には X_7 すなわち $C(x) \cdot D(x)$ が実現されるもので、各フリップフロップ回路 $FF_0 \sim FF_7$ の出力 (x_0, x_1, \dots, x_7) が乗算結果を与えることになる。

ここで、 $X_0 \sim X_7$ は次の通りである。

$$X_0 = d_7 C(x)$$

$$X_1 = \alpha X_0 + d_6 C(x)$$

$$X_2 = \alpha X_1 + d_5 C(x)$$

$$X_3 = \alpha X_2 + d_4 C(x)$$

$$X_4 = \alpha X_3 + d_3 C(x)$$

$$X_5 = \alpha X_4 + d_2 C(x)$$

$$X_6 = \alpha X_5 + d_1 C(x)$$

$$X_7 = \alpha X_6 + d_0 C(x) = (x_0, x_1, \dots, x_7)$$

じたとき $\alpha^j \cdot \alpha^M = 1$ になったとすれば、そのときにおける被除数 α^j と α^M との積である $\alpha^j \cdot \alpha^M$ が除算結果であることに外ならないことを利用して、乗算処理で所期の除算をなせることになる。

ここで、乗算処理については前述したような線形シフトレジスタによる乗算装置を用いてなすことは言うまでもない。

ところで、この場合 $\alpha^j \cdot \alpha^M = \alpha^{255} = \alpha^0 = 1$ を得るために必要となる α を乗じる回数は、除数 $\alpha^j = \alpha^1$ のときに最高で254回(つまり $M = 254$)となるが、単純にその通りになせるようにしたのでは乗算処理に要する時間が徒らに長時間化してしまうので好ましくない。

そこで、この発明では被除数 α^j 、除数 α^j に対し予め適数の回だけ α を乗じておくことにより、実際に必要となる α を乗じる回数を低減して短時間で乗算処理(延いては除算処理)がなせるようにしようとするものである。

第6図は以上のようにガロア体における除算を乗算処理で実現する除算装置の構成を示すも

そして、以上のようなガロア体 $GF(2^8)$ における乗算装置はガロア体 $GF(2^8)$ の元の対数および真数をテーブルの形式で記憶するROM等の大容量メモリでなる対数バッファや真数バッファを用いることなく、単に線形シフトレジスタを用いるだけでなし得るので、その構成を簡易で安価なものとすることができるという効用を有している。

次に、ガロア体における除算についてみてみるに、例えばガロア体 $GF(2^8)$ の元 α^1 と α^j との除算 $\alpha^1 \div \alpha^j$ (但し α は法多項式 $P(x) = x^8 + x^4 + x^3 + x^2 + 1$ の根とする)は

$$\alpha^1 \div \alpha^j = (\alpha^1 \cdot \alpha^M) \div (\alpha^j \cdot \alpha^M)$$

と同値である(但し、 M は整数)。

この場合、 $\alpha^j \cdot \alpha^M = \alpha^{255} = \alpha^0 = 1$ ならば

$$\alpha^1 \div \alpha^j = \alpha^1 \cdot \alpha^M$$

となる。

つまり、ガロア体 $GF(2^8)$ の元 α^1 と α^j との除算 $(\alpha^1 \div \alpha^j)$ をなす場合、被除数 α^1 、除数 α^j にそれぞれ α を何回か乗じて行く過程で、 M 回 α を乗

ので、この場合上述の例として $N_1 = 1, N_2 = 2, N_3 = 3$ つまり $\alpha^1, \alpha^2, \alpha^3$ を予め乗じると共に、 $N_0 = 4$ つまり1回毎に α^4 を乗じるようにしたのである。

すなわち、除数 α^j テーブルは直接あるいは α^1 乗算回路 81 、 α^2 乗算回路 82 、 α^3 乗算回路 83 を介して α^4 乗算回路を構成する線形シフトレジスタ A_1, A_2, A_3, A_4 にセットされる。

ここで、線形シフトレジスタ A_1, A_2, A_3, A_4 は第7図に示すようにフリップフロップ回路 $FF_{10} \sim FF_{17}$ をエクスタルシブオアゲート $EX-OR_{10} \sim EX-OR_{17}$ を介して適宜縦続的に且つ階段的に接続して構成されるもので、アンドゲート AND_{10} を介して与えられるクロックパルス CP によりシフトされ、1シフト毎に α^4 が乗算される如くした α^4 乗算機能を有している。

そして、シフトレジスタ A_1, A_2, A_3, A_4 の各出力が供給される1検出回路 $84, 85, 86, 87$ は第7図に示したようにイン

パート1₁₀と8入力ノアゲートNOR₁₀によって構成されているもので、レジスタの内容が(10000000)=1になったときに1検出出力を生じるようになされている。この1検出回路54、55、56、57の各出力が供給される4入力ノアゲートNOR₁₁は当該1検出出力のいずれかが生じたときに、その出力が"0"となることによって前記アンドゲートAND₁₀を介してクロックパルスCpの通過をそれ迄の許容状態から禁止状態とする如く制御している。

また、被除数 α^1 データも上記除数 α^1 データと同様に直接あるいは α^1 乗算回路58、 α^2 乗算回路59、 α^3 乗算回路60を介して第7図に示したような α^4 乗算回路を構成する線形シフトレジスタB₁、B₂、B₃、B₄にセットされた後、上記クロックパルスCpにより α^4 が連続回乗算されることになる。

ここで、シフトレジスタB₁、B₂、B₃、B₄の各出力は上記1検出回路54、55、56、57から各出力と対応的にアンド回路61、62、

63、64により、アンドがとられることになる。

そして、アンド回路61、62、63、64の各出力をオア回路65に導くことで、 $\alpha^1 \div \alpha^1$ の除算結果を得ることができる。

第8図は以上におけるアンド回路61～64の具体例を示すもので、各入力一端が線形シフトレジスタB₁～B₄からの各出力が対応的に供給されると共に、各入力他端に1検出回路54～57の各出力が対応的に共通に供給される8個の2入力アンドゲートAND₂₀～AND₂₇で構成された場合である。

第9図は以上におけるオア回路65の具体例を示すもので、上記アンド回路61～64の各出力が対応的に供給される8個の4入力オアゲートOR₂₀～OR₂₇で構成された場合である。

第10図は以上における α^1 乗算回路58の具体例を示すもので、この場合 α^1 が

$$\alpha^1 = B(\alpha) = b_7\alpha^7 + b_6\alpha^6 + \dots + b_1\alpha + b_0$$

で表わされるものとして、次のような原理によ

っている。つまり、 $\alpha \cdot B(\alpha)$ は

$$\begin{aligned} \alpha \cdot B(\alpha) &= b_7\alpha^8 + b_6\alpha^7 + \dots + b_1\alpha^2 + b_0\alpha^1 \\ &= b_6\alpha^7 + (b_6 + b_7)\alpha^6 + (b_6 + b_7)\alpha^5 + (b_3 + b_7)\alpha^4 \\ &\quad + b_2\alpha^3 + b_1\alpha^2 + b_0\alpha \end{aligned}$$

なので、第10図に示したようなエクスクルシブオアゲートEX-OR₂₀～EX-OR₂₆を用いて実現され、B(α)が入力されれば $\alpha \cdot B(\alpha)$ なる乗算出力を得ることができる。

なお、 α^2 乗算回路59、 α^3 乗算回路60についても上述した α 乗算回路58に準じて容易に構成することができる。

而して、以上の構成において被除数 α^1 、除数 α^1 は直接あるいは α 、 α^2 、 α^3 の各乗算回路58～60を介して α^4 乗算回路である線形シフトレジスタA₁～A₄、B₁～B₄に当初

$$\begin{aligned} \begin{cases} A_1 : \alpha^1 \\ A_2 : \alpha^{1+1} \\ A_3 : \alpha^{1+2} \\ A_4 : \alpha^{1+3} \end{cases} & \begin{cases} B_1 : \alpha^1 \\ B_2 : \alpha^{1+1} \\ B_3 : \alpha^{1+2} \\ B_4 : \alpha^{1+3} \end{cases} \end{aligned}$$

にセットされた後、クロックパルスCpが入力さ

れる毎に α^4 が乗じられる。そして、この過程でレジスタA₁～A₄のうちのいずれかの内容が $\alpha^{255} = 1$ になった時点で1検出回路54～57によりクロックパルスCpが停止されると共に、上記 $\alpha^{255} = 1$ になったレジスタA₁～A₄に対応するレジスタB₁～B₄の内容が除算結果としてアンド回路61～64、オア回路65を介して出力される。

次に、具体例として $\alpha^{10} \div \alpha^{240} = \alpha^{10-240} = \alpha^{-230} = \alpha^{25} = 1$ なる除算を実行する場合について説明する。

この場合レジスタA₁～A₄、B₁～B₄は

$$\begin{aligned} \begin{cases} A_1 : \alpha^{240} \\ A_2 : \alpha^{241} \\ A_3 : \alpha^{242} \\ A_4 : \alpha^{243} \end{cases} & \begin{cases} B_1 : \alpha^{10} \\ B_2 : \alpha^{11} \\ B_3 : \alpha^{12} \\ B_4 : \alpha^{13} \end{cases} \end{aligned}$$

のように当初セットされるがクロックパルスCpが3個入ってきた状態で $\alpha^4 \cdot \alpha^4 \cdot \alpha^4 = \alpha^{12}$ が乗じられることにより

$$\begin{cases} A_1: \alpha^{252} \\ A_2: \alpha^{253} \\ A_3: \alpha^{254} \\ A_4: \alpha^{255} \end{cases} \quad \begin{cases} B_1: \alpha^{22} \\ B_2: \alpha^{23} \\ B_3: \alpha^{24} \\ B_4: \alpha^{25} \end{cases}$$

の如く、レジスタ A_4 が $\alpha^{255}=1$ となるのでこれに対応するレジスタ B_4 の内容 α^{25} が商として出力されるものである。

このように、1回毎に α^4 を乗じることにより、必要となる α の乗算回数を最高でも63回 ($\alpha^1 = \alpha^1$ のとき) に低減した状態で所期の除算を乗算処理でなせるものである。

また、線形シフトレジスタを5組、 α^5 乗算回路を使用すれば、必要となる α の乗算回数を最高でも50回に低減し得る如く、それを拡張することによってさらなる低減を図ることが可能である。

なお、この発明は上記し且つ図示した実施例のみに限定されることなく、この発明の要旨を逸脱しない範囲で種々の変形や適用が可能であることは言うまでもない。

例えば、テープPCM等のデジタル化された情報の伝送や記録再生システム、計算機システム等でガロア体による代数演算を必要とする機器に好適するものである。

(発明の効果)

従って、以上詳述したようにこの発明によれば、大容量のメモリを必要とする対数バッファや真数バッファを用いることなくガロア体における除算をなし得るようにし、以って構成の簡易化ならびに低価格および高速処理化に寄与し得るようにした極めて良好なるガロア体における除算装置を提供することが可能となる。

4. 図面の簡単な説明

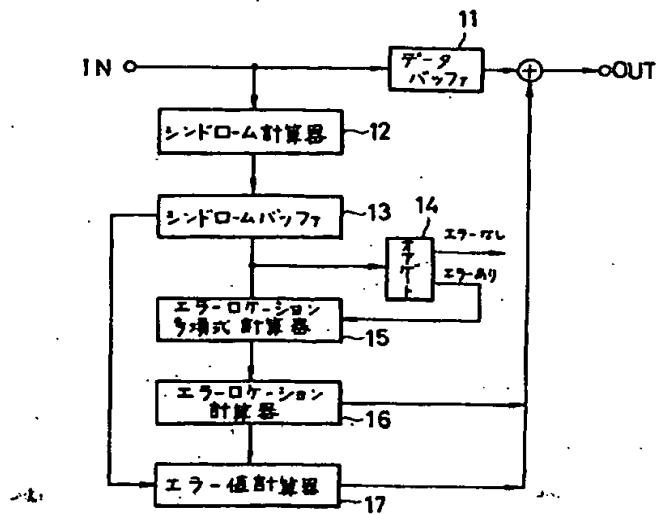
第1図はリードソロモン符号の復号システムを示す概略構成図、第2図は従来のエラーロケーション多項式計算器を示す構成図、第3図はこの発明が適用されるDAD再生装置の概要を示す構成図、第4図はこの発明の一実施例を示す構成図、第5図は第4図の乗算装置部の具体例を示す構成図、第6図は第4図の除算装置部の

具体例を示す構成図、第7図乃至第10図はそれぞれ第6図の α^4 乗算回路を構成する線形シフトレジスタ部および1検出回路部、アンド回路部、オア回路部、 α^1 乗算回路の具体例を示す構成図である。

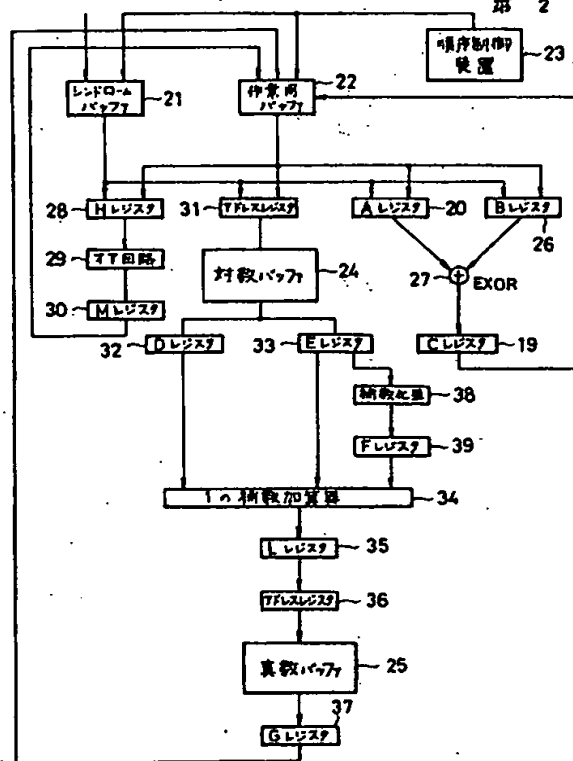
$A_1 \sim A_4$ … (α^4 乗算回路用) 線形シフトレジスタ、
NOR₁₁ … ノアゲート、AND₁₀ … アンドゲート、
51, 58 … α^1 乗算回路、52, 59 … α^2 乗算回路、
53, 60 … α^3 乗算回路、54 ~ 57 …
1検出回路、61 ~ 64 … アンド回路、65 …
オア回路。

出願人代理人 弁護士 鈴江 武彦

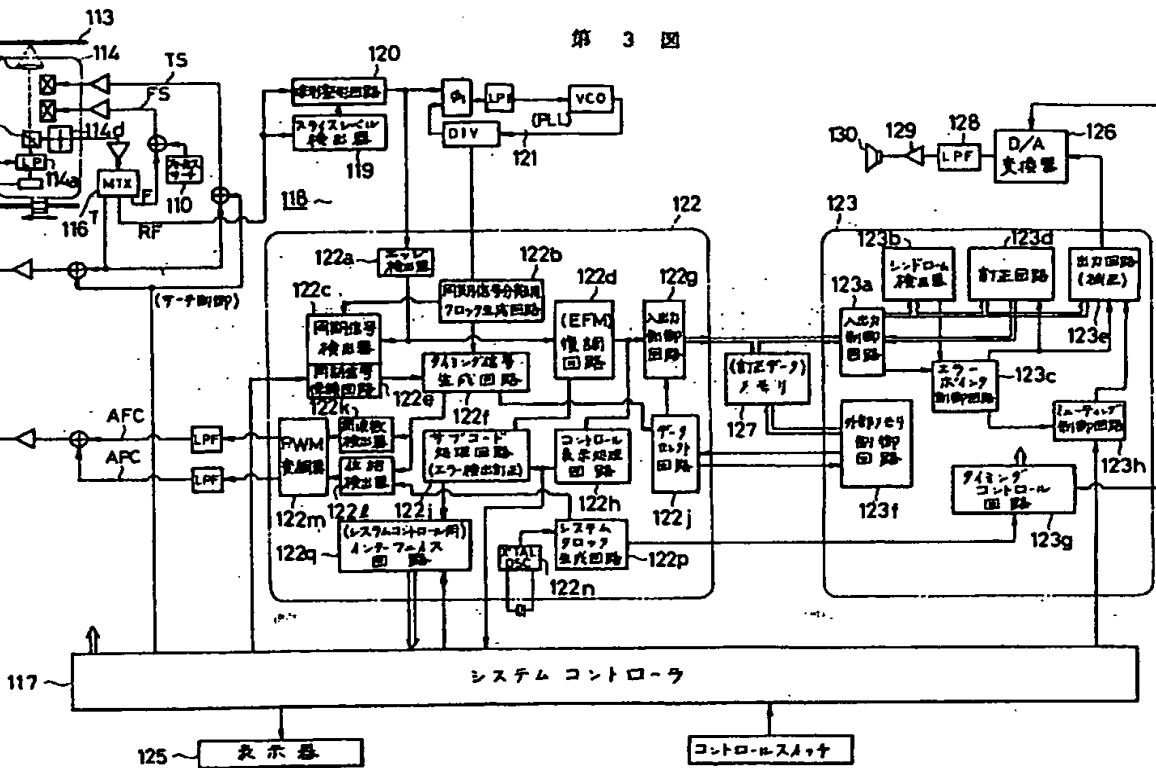
第 1 図



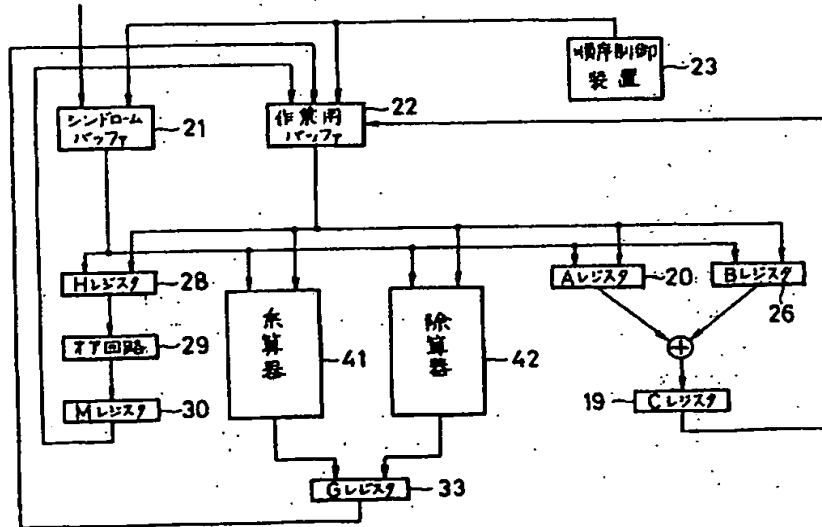
第 2 図



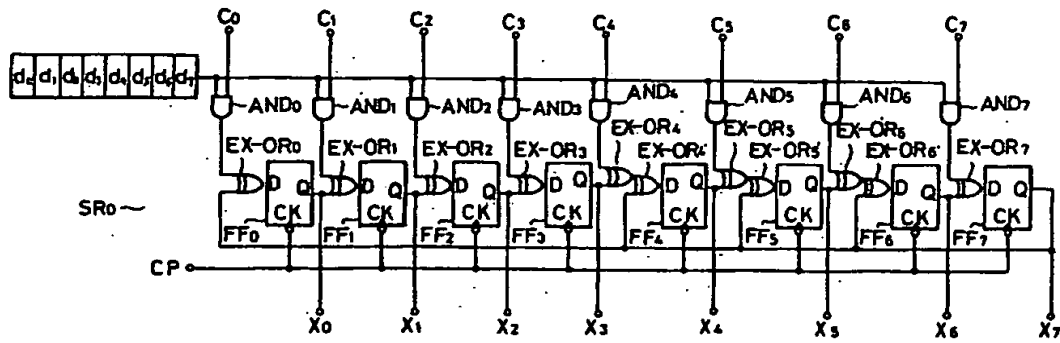
第 3 圖



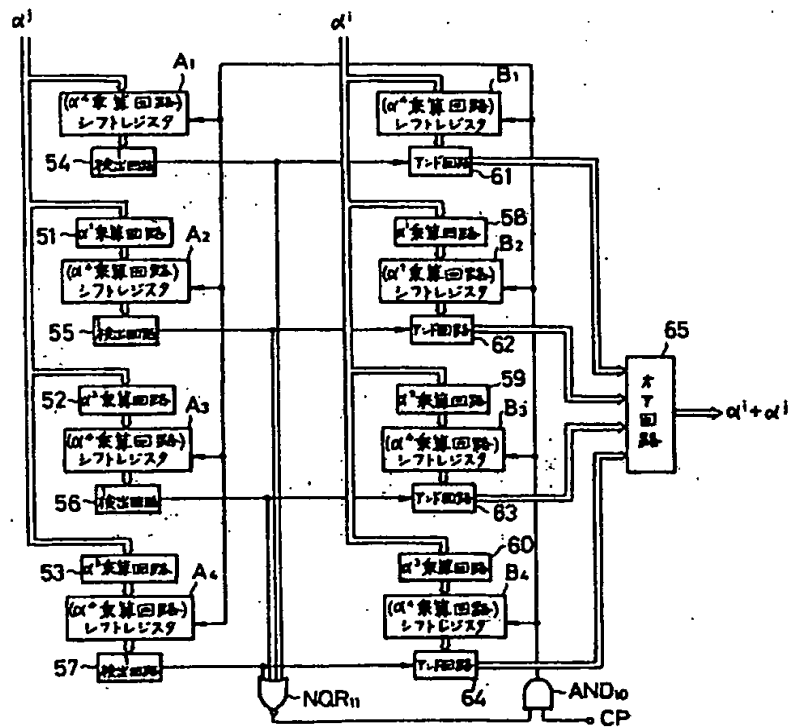
第 4 图



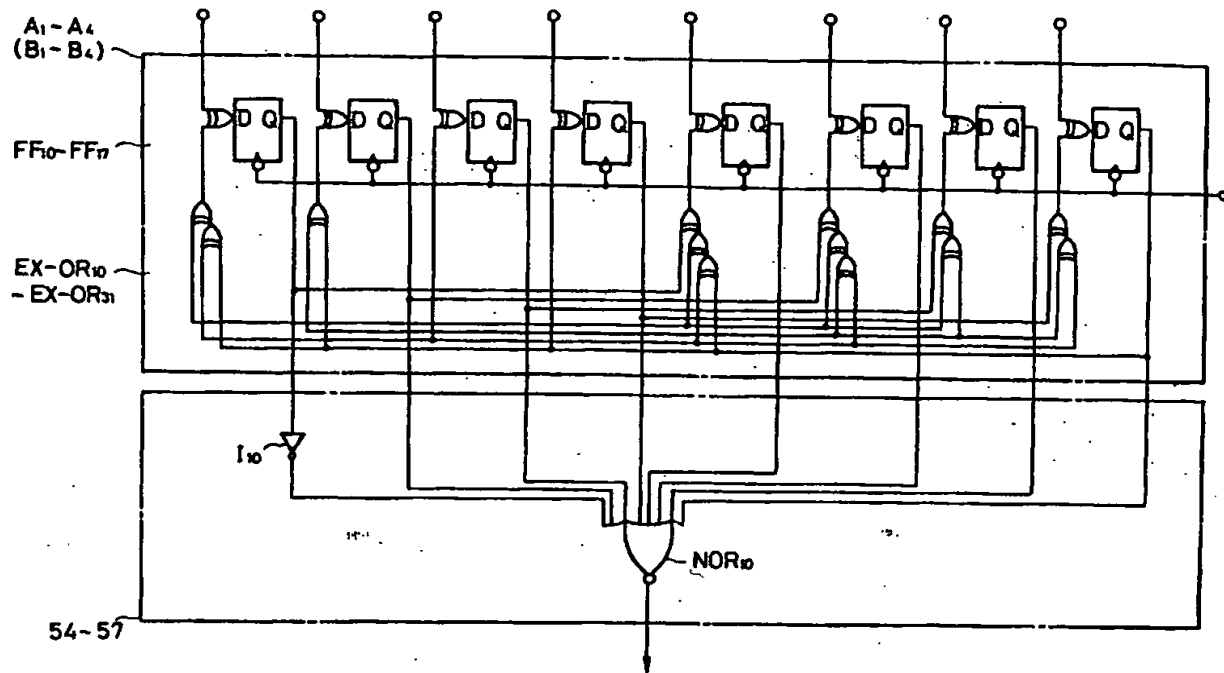
第 5 図



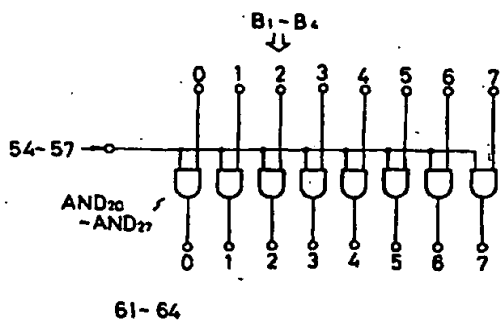
第 6 図



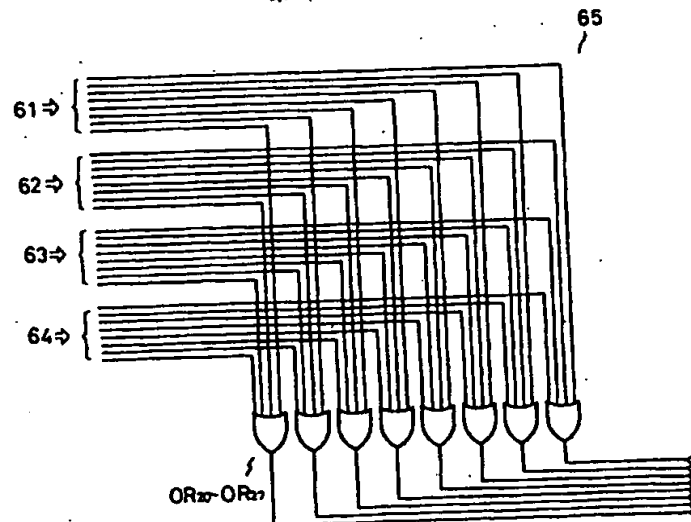
第 7 図



第 8 図



第 9 図



第 10 圖

